

10/505431

(3) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



A standard linear barcode is located at the bottom of the page, spanning most of the width.

(43) 国際公開日  
2003年9月25日 (25.09.2003)

PCT

(10) 国際公開番号  
WO 03/079365 A1

(51) 國際特許分類<sup>7</sup>:

G11C 11/15

### (32) 國際出題目：

2003年3月17日(17.03.2003)

### (25) 国際出願の言語・

## 日本語

## (26) 國際公開の言語:

日本語

(30) 優先權子一タ：

特願2002-79528 2002年3月20日(20.03.2002) JP

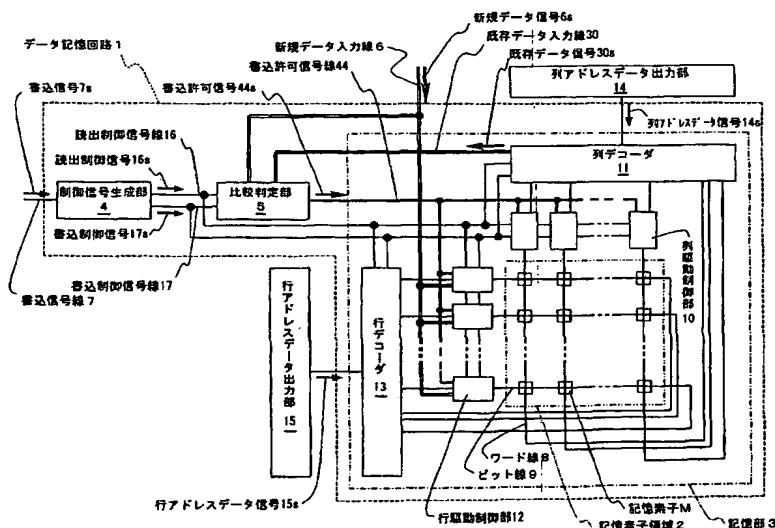
出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区 北品川6丁目7番35号 Tokyo (JP).

発明者; および  
発明者/出願人(米国についてのみ); 森山 勝利  
(MORIYAMA,Katsutoshi) [JP/JP]; 〒814-0001 福岡  
県福岡市早良区百道浜2丁目3番2号 ソニーセ  
ミコンダクタ九州株式会社内 Fukuoka (JP). 森 寛  
伸 (MORI,Hironobu) [JP/JP]; 〒814-0001 福岡県福  
岡市早良区百道浜2丁目3番2号 ソニーセミコ  
ンダクタ九州株式会社内 Fukuoka (JP). 塚崎 久暢

綻葉有

**(54) Title:** DATA STORAGE CIRCUIT, DATA WRITE METHOD IN THE DATA STORAGE CIRCUIT, AND DATA STORAGE DEVICE

(54) 発明の名称: データ記憶回路及び同データ記憶回路におけるデータ書き込み方法及びデータ記憶装置



1...DATA STORAGE CIRCUIT	5...COMPARISON JUDGMENT UNIT
7s...WRITE SIGNAL	17s...WRITE IN CONTROL SIGNAL
44s...WRITE ALLOW SIGNAL	17...WRITE IN CONTROL SIGNAL LINE
44...WRITE ALLOW SIGNAL	7...WRITE IN SIGNAL LINE
6...NEW DATA INPUT LINE	15...ROW ADDRESS DATA OUTPUT UNIT
6s...NEW DATA SIGNAL	13...ROW DECODER
30...EXISTING DATA INPUT LINE	8...WORD LINE
30s...EXISTING DATA SIGNAL	9...BIT LINE
14...COLUMN ADDRESS DATA OUTPUT UNIT	15s...ROW ADDRESS DATA SIGNAL
14s...COLUMN ADDRESS DATA SIGNAL	12...ROW DRIVE CONTROL UNIT
11...COLUMN DECODER	2...STORAGE ELEMENT REGION
16...READ OUT CONTROL SIGNAL LINE	M...STORAGE ELEMENT
16s...READ OUT CONTROL SIGNAL	3...STORAGE UNIT
4...CONTROL SIGNAL GENERATION UNIT	10...COLUMN DRIVE CONTROL UNIT

**(57) Abstract:** A data storage circuit for storing data and saving power. A data write method in the data storage circuit and a data storage device are also disclosed. Before writing new data in a storage element (M), existing data stored in the storage element (M) is read in and the existing data is compared to the new data. The data storage circuit is configured as follows. When the existing data coincides with the new data, no write is performed to the storage element (M). When the existing data does not coincide with the new data, the new data is written into the storage element (M). The data storage circuit is formed on a semiconductor substrate, so as to serve as a data storage device.

(57) 要約：データの記憶を行なうデータ記憶回路において、省電力化したデータ記憶回路及び同データ記憶回路におけるデータ書き込み方法、さらにデータ記憶装置を提供することを課題とする。そこで本発明では、記憶素子Mに新規データの書き込みを行なう前に、同記憶素子Mが記憶している既存データの読み込みを行ない、既存データと新規データとを比較して、既存データと新規データとが一致する場合には記憶素子Mへの書き込みを行なわず、既存データと新規データとが不一致の場合には

統葉有

WO 03/079365 A1



(TSUKAZAKI, Hisanobu) [JP/JP]; 〒814-0001 福岡県  
福岡市 早良区百道浜2丁目3番2号 ソニーセミコ  
ンダクタ九州株式会社内 Fukuoka (JP).

(74) 代理人: 内野 美洋, 外(UCHINO, Yoshihiro et al.); 〒  
810-0021 福岡県 福岡市 中央区今泉2丁目4番26号  
今泉コーポラス1階 Fukuoka (JP).

(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,  
NL, PT, RO, SE, SI, SK, TR).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明細書

データ記憶回路及び同データ記憶回路におけるデータ書き込み方法及びデータ記憶装置

技術分野

本発明は、所定のデータを記憶するデータ記憶回路及び同データ記憶回路におけるデータ書き込み方法、及びデータ記憶装置に関するものである。

背景技術

従来、パーソナルコンピュータをはじめとする電子計算機においては、C P U やメモリ I Cなどの半導体装置内に、多数の記憶素子を組み合わせて構成したデータ記憶回路を配設し、同データ記憶回路にデータを記憶させて各種の処理を実行させている。

かかるデータ記憶回路の記憶素子においては、通常、一つの記憶素子あたり 1 ピットのデータを記憶すべく構成している。すなわち、記憶素子は二種類の異なる状態を維持可能としており、一方の状態を「0」とし、他方の状態を「1」として、いずれか一方の状態を維持させることにより、「0」または「1」のデータを記憶している。このような記憶素子を多数配設することにより、記憶素子の配設数に応じたデータ量の記憶を可能としている。

かかる記憶素子としては、多種多様な構成のものが知られており、例えば、N チャンネル M O S F E T (Metal Oxide Silicon Field Effect Transistor) からなるフラッシュメモリの記憶素子では、ゲート電極部に設けたフローティングゲート層に電荷を蓄積した状態を「1」とし、フローティングゲート層に電荷を蓄積していない状態を「0」、あるいはその逆として「0」と「1」のデータを記憶可能としている。

また、強磁性トンネル接合素子からなるM R A M (Magnetic Random Access Memory) の記憶素子では、自由磁化層の磁化方向が固定磁化層の磁化方向と反平行の状態を「1」、平行の状態を「0」、あるいはその逆として「0」と「1」のデータを記憶可能としている。

これらの記憶素子を設けたデータ記憶回路において、ある一つの記憶素子に「0」または「1」のデータを新規に記憶させる場合には、同記憶素子に所定の電圧の印加、または電流の通電を行なうことにより状態変化を生起して行なっているが、その際に、記憶素子に先に記憶していた既存データが「0」であるか「1」であるかに関係なく、記憶素子に所定の電圧の印加、または電流の通電を行なうことにより同記憶素子を強制的に所定の状態として、新規データの記憶を行なっている。

しかしながら、上記従来のデータ記憶回路を具備した半導体装置からなるデータ記憶装置では、先に記憶していた既存データと、書き込みを行なう新規データとが同一のデータであるにもかかわらず、記憶素子には電圧を印加して、または電流を通電して新規データの書き込み処理を行なっていたので、実質的な効果のない電力消費を生じ、省電力化を阻害しているという問題があった。

特に、上記したフラッシュメモリやM R A M に用いられている記憶素子は、その構造上、新規データの書き込みを行なうべく状態変化を生じさせるために多大な電力を必要とするので、フラッシュメモリやM R A Mなどのデータ記憶回路では無駄な電力消費もその分だけ大きくなり、省電力化をさらに阻害するという問題があった。

### 発明の開示

そこで、本発明のデータ記憶回路では、上記の問題点を解決するために、記憶素子に新規データの書き込みを行なう前に、同記憶素子が記憶している既存データの読み込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子へ

の書き込みを行なわず、既存データと新規データとが不一致の場合には記憶素子への新規データの書き込みを行なうべく構成した。

また、データ記憶回路には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことにも特徴を有するものである。

また、本発明のデータ記憶回路におけるデータ書き込み方法では、所定の記憶素子に新規データの書き込み処理を行なう前に、同記憶素子が記憶している既存データを読み出す読み出し処理を行ない、既存データと新規データとを比較して、一致する場合には記憶素子への書き込み処理を行なわず、不一致の場合には記憶素子への新規データの書き込み処理を実行することとした。

さらに、データ記憶回路に入力した書き込み信号に基づいて読出制御信号と書き込み制御信号とを生成し、読出制御信号に基づいて既存データを読み出し、書き込み制御信号に基づいて新規データと比較することにも特徴を有するものである。

また、本発明のデータ記憶装置では、上記の問題点を解決するために、記憶素子に新規データの書き込みを行なう前に、同記憶素子が記憶している既存データの読み込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書き込みを行なわず、既存データと新規データとが不一致の場合には記憶素子への新規データの書き込みを行なうべく構成した。

さらに、データ記憶装置には、既存データの読出制御を行なう読出制御信号と、新規データの書き込み制御を行なう書き込み制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことにも特徴を有するものである。

また、比較判定部には、新規データを一時保持する新規データ保持部と、既存データを一時保持する既存データ保持部と、新規データ保持部で保持された新規データと既存データ保持部で保持された既存データとを比較して書き込み許可信号の

出力を制御する書込許可信号生成部とを設け、制御信号生成部から出力された読出制御信号に基づいて、新規データ保持部に新規データを一時保持するとともに、既存データ保持部に既存データを一時保持し、制御信号生成部から出力された書込制御信号に基づいて、新規データ保持部で保持された新規データと既存データ保持部で保持された既存データとを比較すべく構成したことにも特徴を有するものである。

#### 図面の簡単な説明

図1は、本発明に係るデータ記憶回路の構成を説明するブロック図である。

図2は、制御信号生成部の構成を説明する回路図である。

図3は、制御信号生成部で生成した読出制御信号と書込制御信号の説明図である。

図4は、比較判定部の構成を説明する回路図である。

図5は、データ記憶回路におけるデータの書込処理のフローチャートである。

#### 発明を実施するための最良の形態

本発明のデータ記憶回路及び同データ記憶回路を具備させて形成したデータ記憶装置は、複数の記憶素子を組み合わせて構成した記憶部を具備しており、かかるデータ記憶回路及びデータ記憶装置にデータの書き込みを行なう場合には、所定の記憶素子に新規データを記憶させる前に、同記憶素子に既に記憶されている既存データをあらかじめ読み出し、既存データと新規データとを比較して、一致した場合には新規データの書き込みを行なわず、不一致の場合にのみ新規データの書き込みを行なうものである。

すなわち、既存データと新規データとが一致することによって記憶素子に対して状態変化を生起する必要がない場合には、記憶素子に対して電圧の印加、また

は電流の通電を行なわず、その分だけ電力消費を削減し、省電力化することができる。

特に、既存データと新規データとが一致する確率は略50%であるので、記憶素子へのデータ書き込みに要する電力を略半減させることができ、データ記憶回路及びデータ記憶装置の省電力化に大きく寄与することができる。

データ記憶装置は、データ記憶回路を半導体基板上に構築して記憶装置としているものであり、以下においては、半導体基板上に構築したデータ記憶回路について説明することによりデータ記憶装置の説明をあわせて行なうものとする。

ただし、データ記憶回路は、半導体基板上に構築したものに限定するものではなく、半導体基板以外の適宜の基板上に構築してもよい。また、データ記憶装置は、単一の半導体基板上にデータ記憶回路を構築した形態に限定するものではなく、複数の半導体基板に所要の回路を構築し、それらを適宜の電気配線で接続して構成してもよい。

既存データと新規データとの一致・不一致の判定を行なう比較判定は、データ記憶回路に設けた比較判定部で行なっており、同比較判定部に既存データと新規データとを取り込んだ後、比較処理を行なっている。

さらに、データ記憶回路には、書き信号を検出して後述する制御信号を生成する制御信号生成部を設けている。書き信号は、いわゆるライトイネーブル信号であって、制御信号生成部において書き信号を検出することにより、データ記憶回路に接続した新規データ入力線から入力した新規データ信号に基づいて、所定の記憶素子に新規データを書き可能とすべく構成している。

特に、制御信号生成部では、書き信号の検出とともに既存データの読み出し制御を行なう読み出し制御信号と、新規データの書き制御を行なう書き制御信号とを生成している。

そして、制御信号生成部は、先に読み出し制御信号を出力することにより所定の記憶素子における既存データを読み出して比較判定部に取り、次いで、書き制御信号を出力することにより比較判定部に取込んだ既存データと新規データとの比較

を行なって、既存データと新規データとが不一致の場合には、比較判定部は書込許可信号を出力して新規データの記憶素子への書き込みを実行している。

一方、既存データと新規データとが一致する場合には、比較判定部は書込許可信号を出力せず、従って、記憶素子への新規データの書き込みは実行せず、無用の電力消費を抑制している。

以下において、図面に基づいて本発明の実施形態をさらに詳説する。

図1は、本実施形態のデータ記憶回路1のブロック図である。データ記憶回路1は、複数の記憶素子Mを適宜配列して構成した記憶素子領域2を具備する記憶部3と、同記憶部3を新規データの入力受付状態とする書き信号6sを検出する制御信号生成部4と、書き信号6sの検出に基づいて記憶部3の所定の記憶素子Mで記憶する新規データの記憶素子Mへの書き込みの制御を行なう比較判定部5により構成している。

さらに、データ記憶回路1には、記憶部3に新規データを入力する新規データ入力線6を接続するとともに、制御信号生成部4に書き信号7sを入力するための書き信号線7を接続している。

本実施の形態では、記憶素子Mとして強磁性トンネル接合素子を用いており、記憶素子領域2内に格子状に配設した複数のワード線8とビット線9との交差部分に強磁性トンネル接合素子を配設している。なお、図示していないが、強磁性トンネル接合素子に記憶したデータの読み出しを行なうべく、ワード線8と平行に読み出用のセンス線を設けている。

以下においては、記憶素子Mが強磁性トンネル接合素子である場合について説明するが、記憶素子Mは強磁性トンネル接合素子に限定するものではなく、フラッシュメモリを構成するNチャンネルMOSFET等の既知の記憶素子であってもよく、その場合、記憶素子Mへのデータの書き込み形態及び読み出形態に合わせて適宜のワード線8及びビット線9を設けてよい。

各ワード線8及び各センス線の一端にはそれぞれ列駆動制御部10を接続しており、各列駆動制御部10は列デコーダ11と接続して、列デコーダ11からの制御

信号に基づいて作動すべく構成している。また、各ビット線 9 の一端には行駆動制御部 12 を接続しており、各行駆動制御部 12 は行デコーダ 13 と接続して、行デコーダ 13 からの制御信号に基づいて作動すべく構成している。

列デコーダ 11 には列アドレスデータ出力部 14 を接続しており、また、行デコーダ 13 には行アドレスデータ出力部 15 を接続している。所定の記憶素子 M を指定する外部入力信号を、列アドレスデータ信号 14s として列アドレスデータ出力部 14 から列デコーダ 11 に入力し、また、行アドレスデータ信号 15s として行アドレスデータ出力部 15 から行デコーダ 13 に入力すべく構成している。

図 1においては、列アドレスデータ出力部 14 及び行アドレスデータ出力部 15 は、データ記憶回路 1 の外部に設けているように記載しているが、列アドレスデータ出力部 14 及び行アドレスデータ出力部 15 を含めてデータ記憶回路 1 としてもよい。

列デコーダ 11 では、入力された列アドレスデータ信号 14s に基づいてデコードし、列デコーダ 11 と接続した列駆動制御部 10 のいずれか一つを作動させ、また、行デコーダ 13 では、入力された行アドレスデータ信号 15s に基づいてデコードし、行デコーダ 13 と接続した行駆動制御部 12 のいずれか一つを作動させ、作動状態となった列駆動制御部 10 と接続しているワード線 8 またはセンス線と、同じく作動状態となった行駆動制御部 12 と接続しているビット線 9 との交差部分に位置する記憶素子 M を作動状態として、同記憶素子 M へのデータの書き込みまたは読み出しを可能としている。

特に、記憶素子 M に新規データを書込む場合、あるいは、記憶素子 M から既存データを読出す場合には、列アドレスデータ出力部 14 から出力した列アドレスデータ信号 14s と、行アドレスデータ出力部 15 から出力した行アドレスデータ信号 15s とによって、あらかじめ書き込みあるいは読み出しを行なう記憶素子 M を作動状態としている。

さらに、本実施の形態においては、記憶素子 M を強磁性トンネル接合素子としているので、行駆動制御部 12 にはそれぞれ新規データ入力線 6 を接続している。

そして、上記したように所定の記憶素子Mを作動状態とするとともに、新規データ入力線6を介して行駆動制御部12に新規データ信号6sを入力することにより、行駆動制御部12がピット線9に所定の向きの電流を流し、記憶素子Mに新規データの書き込みを行なっている。

一方、記憶素子Mに記憶した既存データの読み出しは、上記したように読み出しを行なう記憶素子Mを作動状態として、センス線を用いて記憶素子Mの抵抗値を検出し、列駆動制御部10において検出した抵抗値に基づいて既存データ信号を生成し、列デコーダ11に出力することにより行なっている。

データ記憶回路1は、通常、ノイズ等の誤入力によって記憶素子Mにおける記憶状態が勝手に変動することを防止するプロテクト状態としており、上記したようにデータ記憶回路1に書き込み信号7sを入力することにより、同書き込み信号7sの入力時のみデータ記憶回路1の記憶部3を新規データの入力可能状態として、新規データを書き込み可能としている。

特に、データ記憶回路1では、書き込み信号7sを検出する制御信号生成部4において、書き込み信号7sの検出とともに読出制御信号16sと書き込み制御信号17sとを生成している。読出制御信号16sとは、新規データが記憶される記憶素子Mから既存データの読み出しを行なうための制御信号であり、書き込み制御信号17sとは、同記憶素子Mに新規データの書き込みを行なうための制御信号である。

書き込み信号7sから読出制御信号16sと書き込み制御信号17sとを生成すべく、制御信号生成部4には、図2に示すように、読出制御信号生成部18と、書き込み制御信号生成部19とを並列させて設けている。

すなわち、制御信号生成部4では、書き込み信号線7を読出制御信号生成線20と書き込み制御信号生成線21とに分岐して、読出制御信号生成部18と書き込み制御信号生成部19とにそれぞれ書き込み信号7sを入力し、読出制御信号生成部18において読出制御信号16sを生成するとともに、書き込み制御信号生成部19において書き込み制御信号17sを生成している。

読み出制御信号生成部 18 では読み出制御信号生成線 20 をさらに第 1 読み出制御信号生成線 20a と第 2 読み出制御信号生成線 20b とに分岐し、第 1 読み出制御信号生成線 20a と第 2 読み出制御信号生成線 20b とを AND ゲート 22 に接続し、同 AND ゲート 22 によって読み出制御信号 16s を生成している。

このとき、第 2 読み出制御信号生成線 20b には NOT ゲート 23 を介設し、さらに、同 NOT ゲート 23 の出力側に抵抗体 24 を介設するとともにコンデンサ 25 の一端を接続することにより、図 3 に示すように、読み出制御信号生成部 18 は書込信号 7s の立ち上がりを検出して読み出制御信号 16s を生成し、AND ゲート 22 に接続した読み出制御信号線 16 から出力している。

また、書込制御信号生成部 19 でも書込制御信号生成線 21 をさらに第 1 書込制御信号生成線 21a と第 2 書込制御信号生成線 21b とに分岐し、第 1 書込制御信号生成線 21a と第 2 書込制御信号生成線 21b とを NOR ゲート 26 に接続し、同 NOR ゲート 26 によって書込制御信号 17s を生成している。

このとき、第 2 書込制御信号生成線 21b には NOT ゲート 27 を介設し、さらに、同 NOT ゲート 27 の出力側に抵抗体 28 を介設するとともにコンデンサ 29 の一端を接続することにより、図 3 に示すように、書込制御信号生成部 19 は書込信号 7s の立ち下がりを検出して書込制御信号 17s を生成し、NOR ゲート 26 に接続した書込制御信号線 17 から出力している。

すなわち、読み出制御信号 16s 及び書込制御信号 17s は、同一の書込信号 7s から生成することができるので、極めて簡単な構成で、所定の時間差を有する読み出制御信号 16s と書込制御信号 17s とを精度よく生成することができ、同読み出制御信号 16s 及び同書込制御信号 17s による後述する比較判定部 5 の制御を確実に行なうことができる。

図 1 に示すように、読み出制御信号線 16 及び書込制御信号線 17 は、列デコーダ 11 及び行デコーダ 13 に接続し、読み出制御信号 16s 及び書込制御信号 17s に基づいて列デコーダ 11 及び行デコーダ 13 を後述するように制御している。さらに、読み出制御信号線 16 及び書込制御信号線 17 は、各列駆動制御部 10 及び各行駆動制

御部 12 にもそれぞれ接続し、読出制御信号 16s 及び書込制御信号 17s に基づいて列駆動制御部 10 及び行駆動制御部 12 を後述するように制御している。

また、読出制御信号線 16 及び書込制御信号線 17 は、比較判定部 5 にも接続しており、読出制御信号 16s 及び書込制御信号 17s を比較判定部 5 に入力して、比較判定部 5 の制御を行なっている。

さらに、比較判定部 5 には、比較する新規データ信号 6s と既存データ信号 30s とを入力すべく、新規データ入力線 6 を接続するとともに、列デコーダ 11 と連結した既存データ入力線 30 を接続している。

比較判定部 5 は、図 4 に示すように、新規データ入力線 6 を介して入力した新規データ信号 6s を一時保持する新規データ信号保持部 31 と、既存データ入力線 30 を介して入力した既存データ信号 30s を一時保持する既存データ信号保持部 32 と、新規データ信号保持部 31 で保持した新規データ信号 6s と既存データ信号保持部 32 で保持した既存データ信号 30s との比較判定を行なう書込許可信号生成部 33 とによって構成している。

新規データ信号保持部 31 は、同新規データ信号保持部 31 への新規データ信号 6s の入力を制御する入力制御トランジスタ 34 と、新規データ信号保持部 31 に入力した新規データ信号 6s を保持する保持部 35 とにより構成している。

入力制御トランジスタ 34 のゲート電極には読出制御信号線 16 を接続しており、ゲート電極に読出制御信号 16s を入力することによって、入力制御トランジスタ 34 に接続した新規データ入力線 6 から、入力制御トランジスタ 34 に接続した保持部 35 に、新規データ信号 6s を入力している。

保持部 35 は、2つのインバータ 36,36 を組み合わせて構成したラッチからなる簡易記憶回路としており、一定期間、新規データ信号 6s を保持可能としている。

また、既存データ信号保持部 32 も、新規データ信号保持部 31 と同様に、既存データ信号保持部 32 への既存データ信号 30s の入力を制御する入力制御トランジスタ 37 と、既存データ信号保持部 32 に入力した既存データ信号 30s を保持する保持部 38 とにより構成している。

入力制御トランジスタ 37 のゲート電極には読出制御信号線 16 を接続しており、ゲート電極に読出制御信号 16s を入力することによって、入力制御トランジスタ 37 に接続した既存データ入力線 30 から、入力制御トランジスタ 37 に接続した保持部 38 に、既存データ信号 30s を入力している。

保持部 38 は、2つのインバータ 40, 40 を組み合わせて構成したラッチからなる簡易記憶回路としており、一定期間、既存データ信号 30s を保持可能としている。

書込許可信号生成部 33 は、新規データ信号保持部 31 からの新規データ信号 6s の出力を制御する出力制御トランジスタ 41 と、既存データ信号保持部 32 からの既存データ信号 30s の出力を制御する出力制御トランジスタ 42 と、出力制御トランジスタ 41, 42 により保持部 35, 38 から出力した新規データ信号 6s と既存データ信号 30s とを入力する X OR ゲート 43 とにより構成している。

特に、出力制御トランジスタ 41, 42 のゲート電極には、それぞれ書込制御信号線 17 を接続しており、同書込制御信号線 17 を介して書込制御信号 17s を出力制御トランジスタ 41, 42 に入力することにより、保持部 35, 38 から X OR ゲート 43 に新規データ信号 6s と既存データ信号 30s とを出力している。

X OR ゲート 43 では、入力された新規データ信号 6s と既存データ信号 30s が不一致の場合には、同 X OR ゲート 43 に接続した書込許可信号線 44 から書込許可信号 44s を出力し、新規データ信号 6s と既存データ信号 30s が一致する場合には、書込許可信号 44s の出力を行なわない。

出力制御トランジスタ 41, 42 のゲート電極に書込制御信号 17s を入力して、新規データ信号保持部 31 及び既存データ信号保持部 32 から、新規データ信号 6s 及び既存データ信号 30s を同時に出力することにより、新規データ信号 6s と既存データ信号 30s との比較を極めて容易に行なうことができ、書込許可信号生成部 33 の構成を簡潔とすることができます。

さらに、書込許可信号生成部 33 での判定処理を短時間で行なうことができるのと、処理速度を向上させることができる。

なお、書込制御信号 17s の入力時以外には、XOR ゲート 43 には誤作動防止信号を入力し、XOR ゲート 43 が誤って書込許可信号 44s を出力することを防止している。本実施の形態では、ゲート電極に書込制御信号線 17 を接続した制御トランジスタ 41, 42, 45 を用いて誤作動防止信号を制御している。

書込許可信号線 44 は、図 1 に示すように、各列駆動制御部 10 及び各行駆動制御部 12 とそれぞれ接続しており、各列駆動制御部 10 及び各行駆動制御部 12 に書込許可信号 44s を入力すべく構成している。

最後に、図 5 のフローチャートに基づいて、上記のように構成したデータ記憶回路 1 に新規データを記憶させる場合の動作について説明する。所定の記憶素子 M に新規データを記憶する際には、まず、同記憶素子 M を上記したようにあらかじめ作動状態とする（ステップ S 1）。

そして、データ記憶回路 1 には、新規データ入力線 6 から新規データ信号 6s を入力するとともに（ステップ S 2）、書込信号線 7 から書込信号 7s を入力する（ステップ S 3）。

書込信号 7s の入力に基づいて、制御信号生成部 4 は、先ず読出制御信号線 16 を介して読出制御信号 16s を出力し（ステップ S 4）、列デコーダ 11、行デコーダ 13、各列駆動制御部 10、各行駆動制御部 12 に入力することにより、所定の記憶素子 M に記憶している既存データを列デコーダ 11 に読み出し、列デコーダ 11 は、読み出した既存データを既存データ信号 30s として、同列デコーダ 11 に接続した既存データ入力線 30 に出力する（ステップ S 5）。これが読出処理である。

また、制御信号生成部 4 は、読出制御信号 16s を比較判定部 5 にも入力し、比較判定部 5 では、読出制御信号 16s の入力とともに、同比較判定部 5 の新規データ信号保持部 31 に新規データ信号 6s を入力させて一旦保持するとともに、既存データ信号保持部 32 に既存データ信号 30s を入力させて一旦保持する（ステップ S 6）。

所定時間の後、制御信号生成部 4 は書込信号 7s に基づいて書込制御信号 17s を生成し、同書込制御信号 17s を比較判定部 5 に入力する（ステップ S 7）。な

お、書込制御信号 17s は、読み出制御信号 16s によって比較判定部 5 に新規データ信号 6s と既存データ信号 30s とが入力されるに十分な時間の経過後に制御信号生成部 4 から出力されるべく書込信号 7s を調整している。

比較判定部 5 では、入力された書込制御信号 17s に基づいて、新規データ信号保持部 31 で保持した新規データ信号 6s と、既存データ信号保持部 32 で保持した既存データ信号 30s とを出力して比較する（ステップ S 8）。

そして、新規データ信号 6s と既存データ信号 30s とが不一致の場合には、新規データと既存データは異なっているので、比較判定部 5 は書込許可信号 44s を出力する（ステップ S 9）。

このとき、制御信号生成部 4 から出力した込制御信号 17s は、書込制御信号線 17 を介して列デコーダ 11、行デコーダ 13、各列駆動制御部 10、各行駆動制御部 12 にも入力し、さらに、比較判定部 5 が出力した書込許可信号 44s を、書込許可信号線 44 を介して各列駆動制御部 10 及び各行駆動制御部 12 に入力することにより、記憶部 3 は所定の記憶素子 M に新規データの書き込みを実行する（ステップ S 10）。これが書込処理である。

一方、比較判定部 5 での新規データ信号 6s と既存データ信号 30s との比較において（ステップ S 8）、新規データ信号 6s と既存データ信号 30s とが一致した場合、すなわち、新規データと既存データとが一致する場合には、比較判定部 5 は書込許可信号 44s を出力せず、記憶部 3 は所定の記憶素子 M に新規データの書き込みを実行しないまま書込処理を終了する。

記憶素子 M への新規データの書き込みを実行しなくても、すでに記憶素子 M に記憶している既存データは、新規データと同じデータであるので、問題が生じることはない。

このように、記憶素子 M に記憶させる新規データが、同新規データの書き込みを行なう記憶素子 M に既に記憶されている既存データと一致する場合には、新規データの書き込みを実行しないことによって、新規データの書き込みにともなう電力の消費を削減することができ、省電力化を図ることができる。

そして、上記のデータ記憶回路1を半導体基板上に構築することによって少電力化したデータ記憶装置を形成することができ、同データ記憶装置を用いることによって少電力化したI Cメモリや記憶領域を有するCPUを形成することができる。

### 産業上の利用可能性

(1) 請求の範囲第1項記載の本発明では、記憶素子に新規データの書き込みを行なう前に、同記憶素子が記憶している既存データの読み込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書き込みを行なわず、既存データと新規データとが不一致の場合には記憶素子への新規データの書き込みを行なうべくデータ記憶回路を構成したことによって、記憶素子への書き込みの実行回数を実質的に削減することができ、新規データの書き込みにともなう電力の消費を抑制して省電力化できる。

特に、既存データと新規データとが一致する確率は略50%であるので、新規データの書き込みに要する消費電力を半減させることができる。

(2) 請求の範囲第2項記載の発明によれば、データ記憶回路には、既存データの読み出制御を行なう読み出制御信号と、新規データの書き込制御を行なう書き込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことによって、精度よく生成した読み出制御信号と書き込制御信号とによりデータ記憶回路の制御を確実に行なうことができ、誤作動を防止して余計な電力消費を防止できる。特に、所定の時間差を設けて生成する読み出制御信号と書き込制御信号との時間差を必要最小限に調整できるので、比較判定部での処理を高速化できる。

(3) 請求の範囲第3項記載の発明によれば、所定の記憶素子に新規データの書き込処理を行なう前に、同記憶素子が記憶している既存データを読み出す読み出処理

を行ない、既存データと新規データとを比較して、一致する場合には記憶素子への書込処理を行なわず、不一致の場合には記憶素子への新規データの書込処理を実行することによって、請求項1記載の発明と同様に、既存データと新規データが一致した場合には書込処理を実行しないので、書込処理の実行回数を実質的に削減することができ、書込処理にともなう電力の消費を抑制して省電力化できる。

(4) 請求の範囲第4項記載の発明によれば、データ記憶回路に入力した書込信号に基づいて読出制御信号と書込制御信号とを生成し、読出制御信号に基づいて既存データを読み出し、書込制御信号に基づいて新規データと比較することによって、既存データの読み出し処理に引き続いて新規データの書込処理を速やかに実行することができ、処理速度を向上させることができるとともに、誤作動を防止し、誤作動にともなう余計な電力消費を防止できる。

(5) 請求の範囲第5項記載の発明によれば、記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの読み込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行なわず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべくデータ記憶装置を構成したことによって、請求項1記載の発明と同様に、記憶素子への書込みの実行回数を実質的に削減することができ、新規データの書込みにともなう電力の消費を抑制して省電力化できる。

(6) 請求の範囲第6項記載の発明によれば、データ記憶装置には、既存データの読み出し制御を行なう読み出し制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことによって、請求項2記載の発明と同様に、精度よく生成した読み出し制御信号と書込制御信号とによりデータ記憶装置の制御を確実に行うことができ、誤作動を防止して余計な電力消費を防止できる。特に、所定の時間差を設けて生成す

る読出制御信号と書込制御信号との時間差を必要最小限に調整できるので、比較判定部での処理を高速化できる。

(7) 請求の範囲第7項記載の発明によれば、比較判定部には、新規データを一時保持する新規データ保持部と、既存データを一時保持する既存データ保持部と、新規データ保持部で保持された新規データと既存データ保持部で保持された既存データとを比較して書込許可信号の出力を制御する書込許可信号生成部とを設け、制御信号生成部から出力された読出制御信号に基づいて、新規データ保持部に新規データを一時保持するとともに、既存データ保持部に既存データを一時保持し、制御信号生成部から出力された書込制御信号に基づいて、新規データ保持部で保持された新規データと既存データ保持部で保持された既存データとを比較すべく構成したことによって、新規データと既存データとをそれぞれ正確に取得して比較判定を行うことができるので、誤作動を防止して余計な電力消費を防止できる。

## 請求の範囲

1. 記憶素子に新規データの書き込みを行なう前に、前記記憶素子が記憶している既存データの読み込みを行なって前記既存データと前記新規データとを比較する比較判定部を設け、

前記比較判定部において、前記既存データと前記新規データとが一致する場合には前記記憶素子への書き込みを行なわず、前記既存データと前記新規データとが不一致の場合には前記記憶素子への前記新規データの書き込みを行なうべく構成したことを特徴とするデータ記憶回路。

2. 前記データ記憶回路には、前記既存データの読み出制御を行なう読み出制御信号と、前記新規データの書き出制御を行なう書き出制御信号とを生成する制御信号生成部を設け、

前記制御信号生成部からの制御信号に基づいて、前記比較判定部において前記既存データと前記新規データとの比較を行なうべく構成したことを特徴とする請求の範囲第1項記載のデータ記憶回路。

3. 所定の記憶素子に新規データの書き込処理を行なう前に、前記記憶素子が記憶している既存データを読み出す読み出処理を行ない、前記既存データと前記新規データとを比較して、一致する場合には前記記憶素子への書き込処理を行なわず、不一致の場合には前記記憶素子への前記新規データの書き込処理を実行することを特徴とするデータ記憶回路におけるデータ書き込み方法。

4. 前記データ記憶回路に入力した書き込信号に基づいて読み出制御信号と書き出制御信号とを生成し、前記読み出制御信号に基づいて前記既存データを読み出し、前記書き出制御信号に基づいて前記新規データと比較することを特徴とする請求の範囲第3項記載のデータ記憶回路におけるデータ書き込み方法。

5. 記憶素子に新規データの書き込みを行なう前に、前記記憶素子が記憶している既存データの読み込みを行なって前記既存データと前記新規データとを比較する比較判定部を設け、

前記比較判定部において、前記既存データと前記新規データとが一致する場合には前記記憶素子への書き込みを行なわず、前記既存データと前記新規データとが不一致の場合には前記記憶素子への新規データの書き込みを行なうべく構成したことを特徴とするデータ記憶装置。

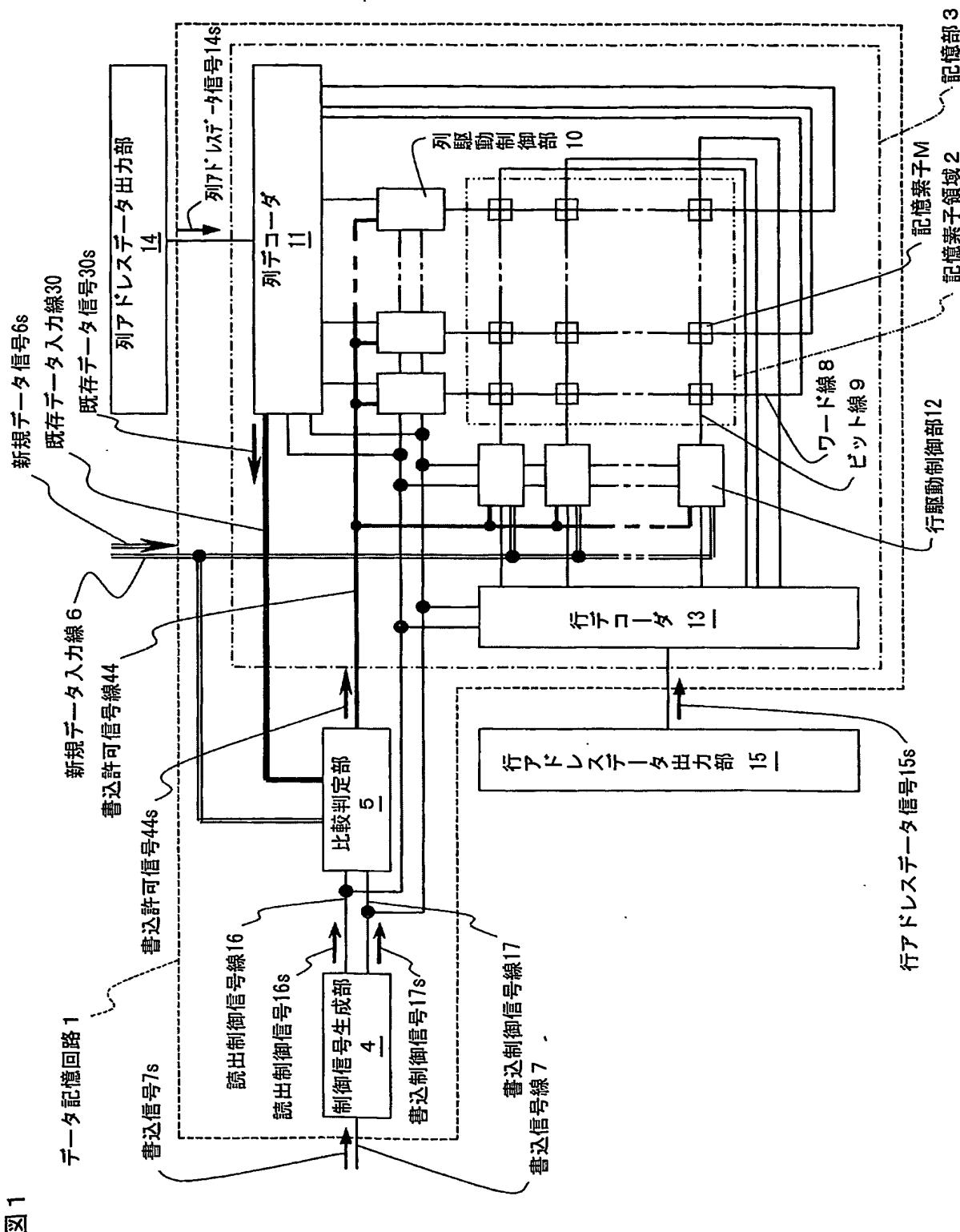
6. データ記憶装置には、既存データの読み出し制御を行なう読み出し制御信号と、新規データの書き込み制御を行なう書き込み制御信号とを生成する制御信号生成部を設け、

前記制御信号生成部からの制御信号に基づいて、前記比較判定部において前記既存データと前記新規データとの比較を行なうべく構成したことを特徴とする請求の範囲第5項記載のデータ記憶装置。

7. 比較判定部には、新規データを一時保持する新規データ保持部と、既存データを一時保持する既存データ保持部と、新規データ保持部で保持された新規データと既存データ保持部で保持された既存データとを比較して書き込み許可信号の出力を制御する書き込み許可信号生成部とを設け、

制御信号生成部から出力された読み出し制御信号に基づいて、新規データ保持部に新規データを一時保持するとともに、既存データ保持部に既存データを一時保持し、

制御信号生成部から出力された書き込み制御信号に基づいて、新規データ保持部で保持された新規データと既存データ保持部で保持された既存データとを比較すべく構成したことを特徴とする請求の範囲第6項記載のデータ記憶装置。



2 / 4

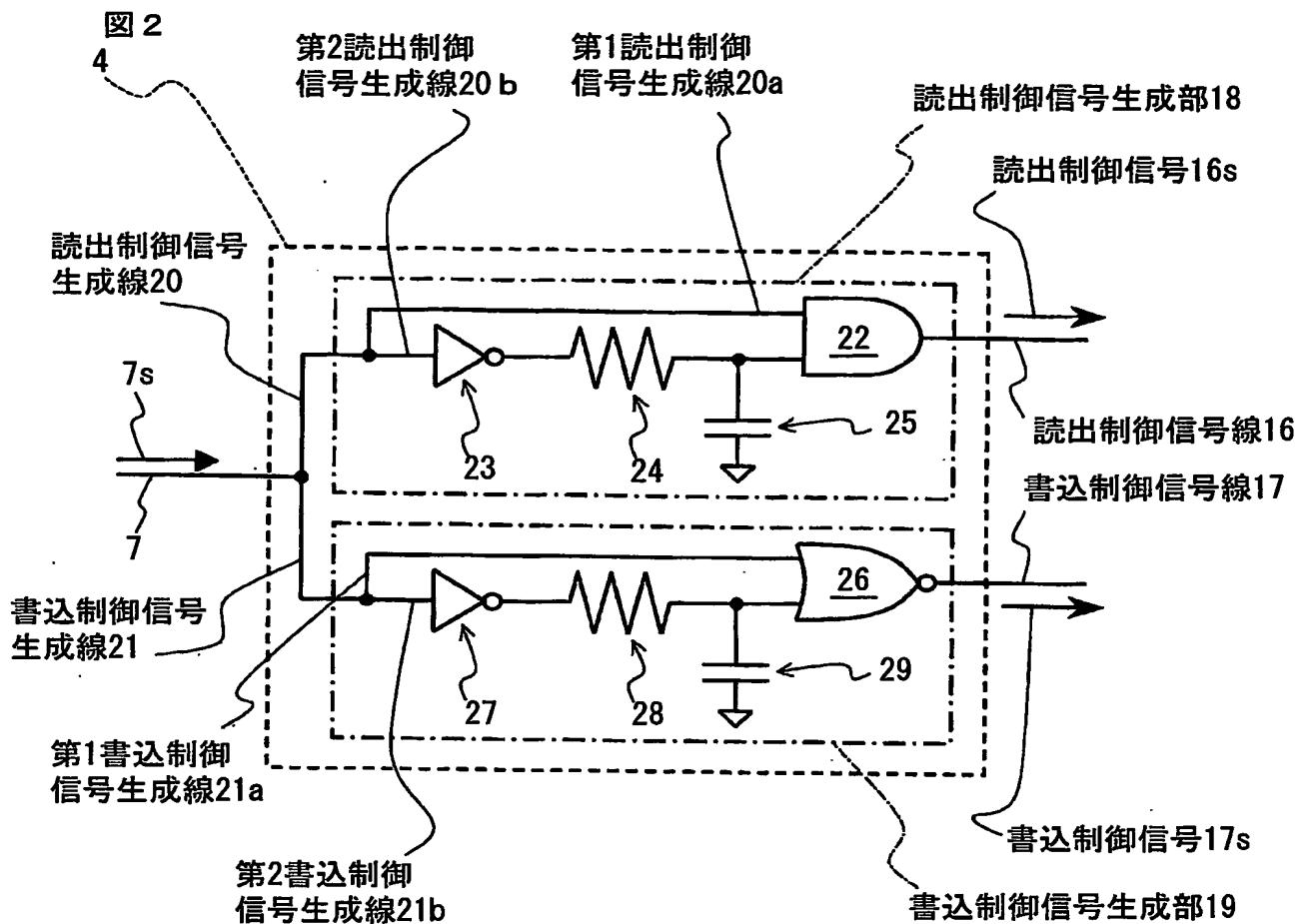
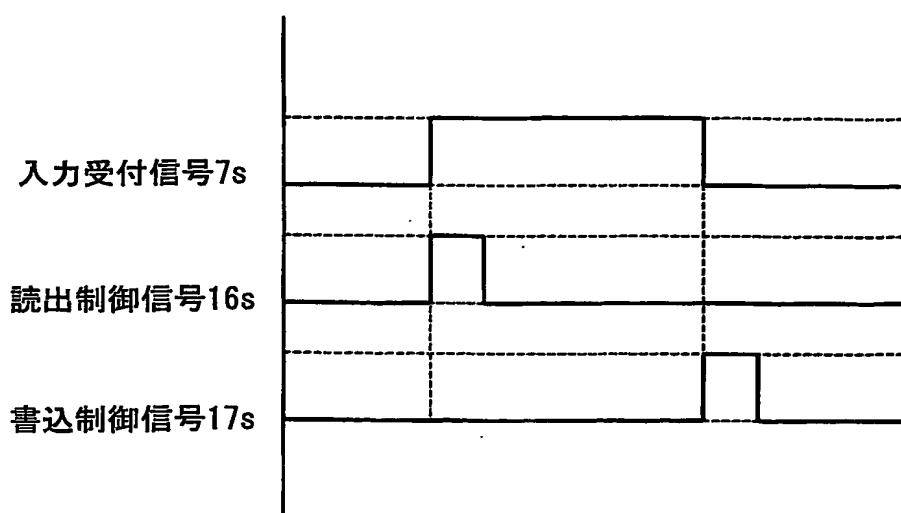
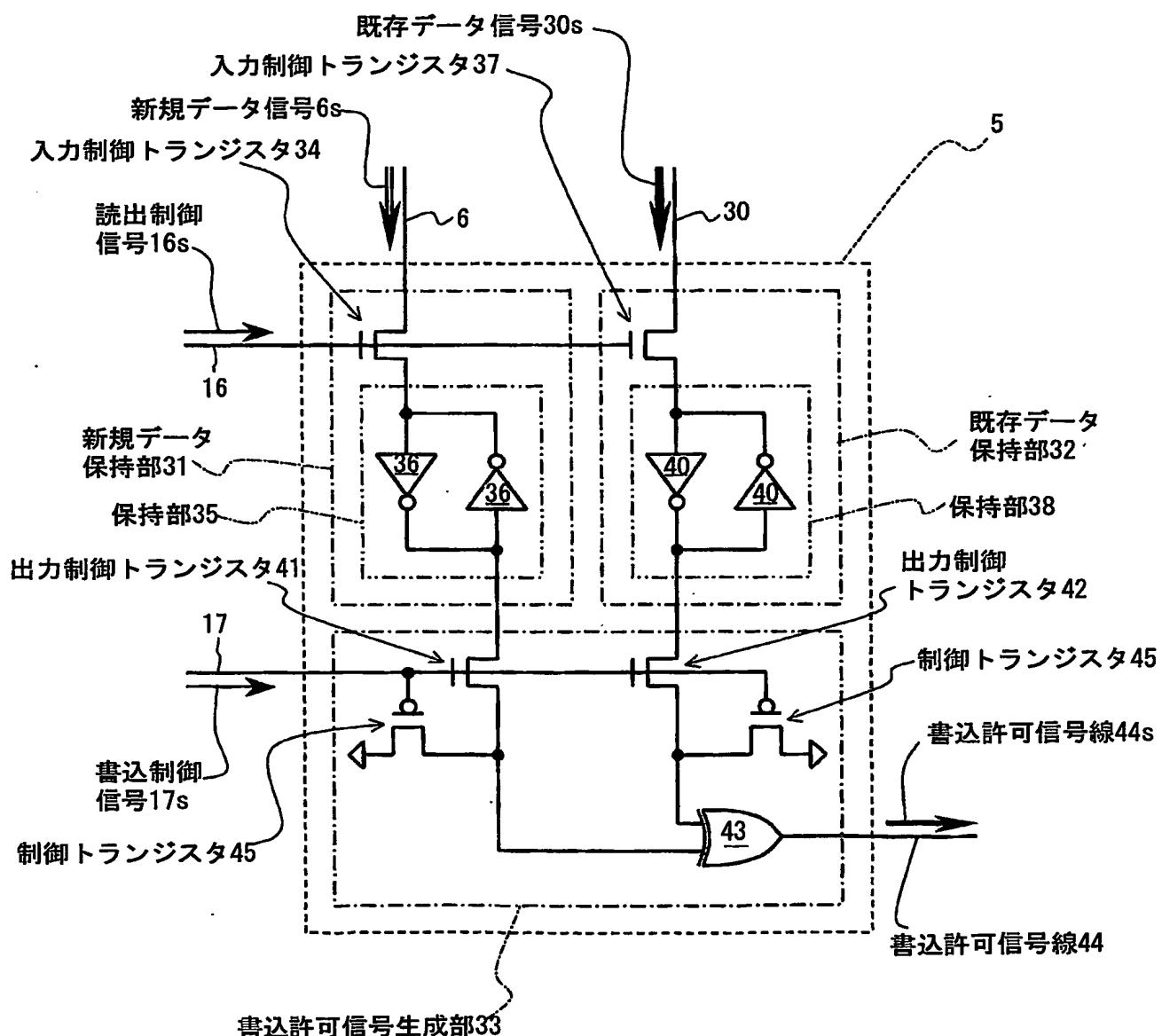


図 3



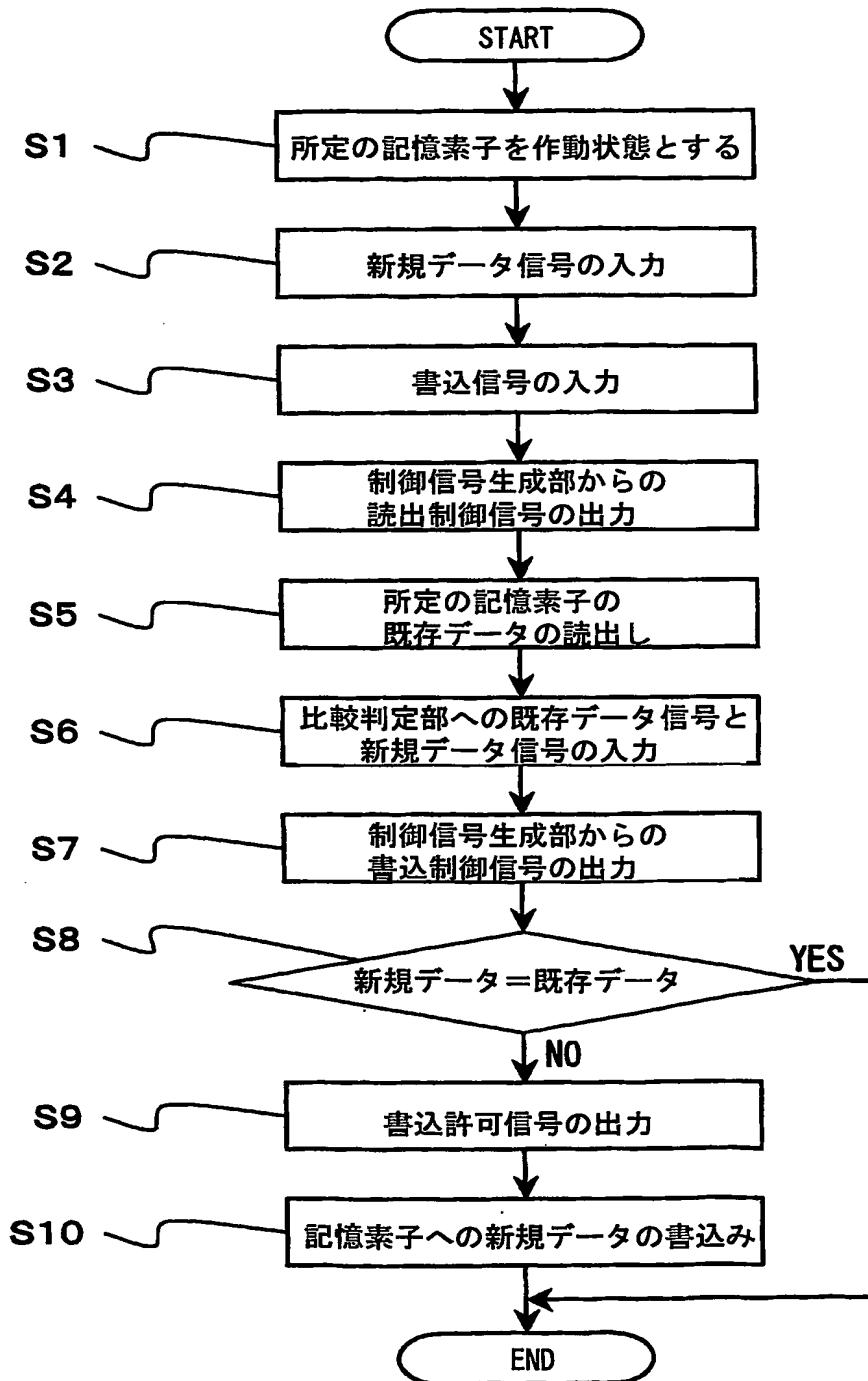
3 / 4

図4



4 / 4

図 5



## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/JP03/03196

07505431

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G11C11/15

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C11/15, 17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 59-135698 A (Hitachi, Ltd., Hitachi Micro Computer Engineering Kabushiki Kaisha), 03 August, 1984 (03.08.84), Full text; all drawings (Family: none)	1-7
X	JP 7-65586 A (Iwaki Electronics Co., Ltd.), 10 March, 1995 (10.03.95), Full text; all drawings (Family: none)	1-7
X	JP 9-63286 A (Oki Micro Design Miyazaki Co., Ltd., Oki Electric Industry Co., Ltd.), 07 March, 1997 (07.03.97), Full text; all drawings (Family: none)	1-7

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
10 June, 2003 (10.06.03)Date of mailing of the international search report  
24 June, 2003 (24.06.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int.C1.7 G11C11/15

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int.C1.7 G11C11/15, 17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 59-135698 A(株式会社日立製作所, 日立マイクロコンピュータエンジニアリング株式会社) 1984.08.03, 全文, 全図(ファミリーなし)	1-7
X	JP 7-65586 A(いわき電子株式会社) 1995.03.10, 全文, 全図(ファミリーなし)	1-7
X	JP 9-63286 A(株式会社沖マイクロデザイン宮崎, 沖電気工業株式会社) 1997.03.07, 全文, 全図(ファミリーなし)	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.06.03

国際調査報告の発送日

24.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

印

5N 9057

電話番号 03-3581-1101 内線 3545